

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-341018

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H01L 29/786

H01L 29/78

H01L 21/336

(21)Application number : 09-148947

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.06.1997

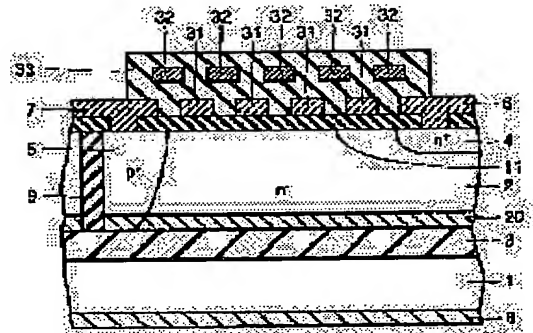
(72)Inventor : AKIYAMA HAJIME  
TARUI YOICHIRO

## (54) SEMICONDUCTOR DEVICE HAVING LATERAL HIGH BREAKDOWN VOLTAGE ELEMENT AND FABRICATION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To fabricate a lateral high breakdown voltage element which is not limited by field concentration to the surface of an SOI layer by forming a conductive layer for field plate, under floating state, on the region of a semiconductor layer between first and second impurity regions through an insulation layer.

**SOLUTION:** Capacitive coupling multiplex field plates 31, 32 are provided between a cathode electrode 6 and an anode electrode 7. The field plates 31, 32 constitute a capacitor between the cathode electrode 6 and the anode electrode 7 in conjunction with the conductive layers 31, 32. Since the capacity is connected in series between the cathode electrode 6 and the anode electrode 7, the lines of electric force are arranged substantially uniformly on the surface of a semiconductor layer 2 and uneven field distribution is eliminated. Since high field strength is limited to the bottom face part of the semiconductor layer 2 where a thin SiC layer 20 is formed, breakdown voltage can be enhanced.



### LEGAL STATUS

[Date of request for examination]

20.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application-converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-341018

(43)公開日 平成10年(1998)12月22日

(51)Int.Cl.<sup>6</sup>H 0 1 L 29/786  
29/78  
21/336

識別記号

F I

H 0 1 L 29/78

6 2 6 Z

3 0 1 B

6 1 6 S

6 1 7 A

6 1 7 N

審査請求 未請求 請求項の数20 O L (全 19 頁) 最終頁に続く

(21)出願番号

特願平9-148947

(22)出願日

平成9年(1997)6月6日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 秋山 肇

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 樽井 陽一郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

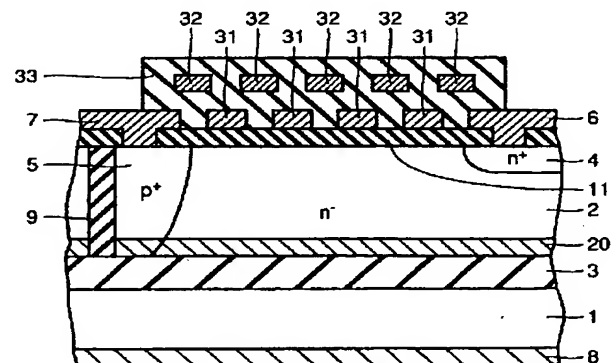
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 横型高耐圧素子を有する半導体装置およびその製造方法

(57)【要約】

【課題】 S O I 層表面の電界集中に制限されることのない格段に高い耐圧を有する横型高耐圧素子を有する半導体装置およびその製造方法を提供する。

【解決手段】 S O I 層に、 $p^+$ 半導体領域5と、 $n^-$ ドリフト領域2と、 $n^+$ 半導体領域4とを有するダイオードが形成されており、半導体層2の底面にS i C層が形成されている。またカソード電極6とアノード電極7との間には、導電層31、32よりなる容量結合型の多重フィールドプレートが形成されている。



1: 半導体基板 2:  $n^+$ 半導体層 3: 埋込み絶縁層  
4:  $n^+$ 半導体領域 5:  $p^+$ 半導体領域 6: カソード電極  
7: アノード電極 8: 表面電極 11: 絶縁層  
20: SiC層 31, 32: フィールドプレート用導電層

1

## 【特許請求の範囲】

【請求項 1】 半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、前記半導体層に高耐圧素子が形成された半導体装置であって、  
前記高耐圧素子は、前記半導体層に形成された互いに逆導電型の第 1 および第 2 不純物領域を有し、  
前記高耐圧素子に耐圧が印加されたときに前記半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ前記半導体層の材料よりも広いバンドギャップを有する材料よりなるワイドバンドギャップ層と、  
前記第 1 および第 2 不純物領域に挟まれる前記半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ前記第 1 不純物領域に電気的に接続された第 1 電極との間および前記第 2 不純物領域に電気的に接続された第 2 電極との間で容量を蓄積可能なフィールドプレート用導電層とを備えた、横型高耐圧素子を有する半導体装置。

【請求項 2】 前記ワイドバンドギャップ層は SiC 層を有する、請求項 1 に記載の横型高耐圧素子を有する半導体装置。

【請求項 3】 前記第 1 および第 2 不純物領域の間の前記半導体層内に位置し、かつ前記第 1 不純物領域と同じ導電型で前記第 1 不純物領域よりも低い不純物濃度を有するドリフト領域をさらに備えている、請求項 1 に記載の横型高耐圧素子を有する半導体装置。

【請求項 4】 前記第 1 不純物領域は前記半導体層の表面に形成されており、前記ワイドバンドギャップ層は前記第 1 不純物領域が形成された前記半導体層の表面付近に配置されている、請求項 3 に記載の横型高耐圧素子を有する半導体装置。

【請求項 5】 前記ワイドバンドギャップ層は前記第 1 不純物領域の真下に配置されている、請求項 3 に記載の横型高耐圧素子を有する半導体装置。

【請求項 6】 前記ワイドバンドギャップ層は前記埋込絶縁層側の前記半導体層の底面に配置されている、請求項 5 に記載の横型高耐圧素子を有する半導体装置。

【請求項 7】 前記ワイドバンドギャップ層は前記絶縁層側の前記半導体層の底面と距離を隔てて配置されている、請求項 5 に記載の横型高耐圧素子を有する半導体装置。

【請求項 8】 前記ワイドバンドギャップ層は前記ドリフト領域と同じ導電型の不純物を有し、前記ワイドバンドギャップ層の不純物濃度は、前記ドリフト領域の不純物濃度の 2 倍以上 10 倍以下である、請求項 3 に記載の横型高耐圧素子を有する半導体装置。

【請求項 9】 半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、前記半導体層に高耐圧素子が形成された半導体装置であって、  
前記高耐圧素子は、前記半導体層に形成された互いに逆導電型の第 1 および第 2 不純物領域と、前記第 1 および

2

第 2 不純物領域の間に位置しかつ前記第 1 不純物領域と同じ導電型で前記第 1 不純物領域よりも低い不純物濃度を有するドリフト領域とを有し、  
前記高耐圧素子に耐圧が印加されたときに前記半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ前記半導体層の材料よりも広いバンドギャップを有する材料よりなるワイドバンドギャップ層を備え、  
前記ワイドバンドギャップ層は前記第 2 不純物領域と同じ導電型の不純物を有し、かつ前記第 2 不純物領域に電気的に短絡されている、横型高耐圧素子を有する半導体装置。

【請求項 10】 前記埋込絶縁層側の前記半導体層の底面に前記ワイドバンドギャップ層と第 3 不純物領域とが互いに隣接して形成されており、かつ前記第 3 不純物領域は前記第 2 不純物領域と同じ導電型であり、前記第 2 不純物領域に電気的に短絡されている、請求項 9 に記載の横型高耐圧素子を有する半導体装置。

【請求項 11】 前記半導体層の底面の延びる方向に沿って交互に配置された互いに逆導電型の第 4 および第 5 不純物領域をさらに備え、  
前記ワイドバンドギャップ層は、前記第 2 不純物領域との間で前記第 4 および第 5 不純物領域を挟むように配置されており、かつ前記第 5 不純物領域によって前記第 2 不純物領域と電気的に短絡されている、請求項 9 に記載の横型高耐圧素子を有する半導体装置。

【請求項 12】 前記第 1 および第 2 不純物領域に挟まれる前記半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ前記第 1 不純物領域に電気的に接続された第 1 電極との間および前記第 2 不純物領域に電気的に接続された第 2 電極との間で容量を蓄積可能なフィールドプレート用導電層をさらに備える、請求項 9 に記載の横型高耐圧素子を有する半導体装置。

【請求項 13】 半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、前記半導体層に高耐圧素子が形成された半導体装置であって、  
前記高耐圧素子は、前記半導体層に形成された互いに逆導電型の第 1 および第 2 不純物領域を有し、  
前記高耐圧素子に耐圧が印加されたときに前記半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ前記半導体層の材料よりも広いバンドギャップを有する材料よりなるワイドバンドギャップ層を備え、  
前記ワイドバンドギャップ層は多孔質である、横型高耐圧素子を有する半導体装置。

【請求項 14】 前記ワイドバンドギャップ層は前記第 1 不純物領域と同じ導電型である、請求項 13 に記載の横型高耐圧素子を有する半導体装置。

【請求項 15】 前記ワイドバンドギャップ層は前記第 2 不純物領域と同じ導電型である、請求項 13 に記載の横型高耐圧素子を有する半導体装置。

【請求項 16】 前記埋込絶縁層側の前記半導体層の底

50

## 3

面に前記ワイドバンドギャップ層と第3不純物領域とが互いに隣接して形成されており、前記第3不純物領域は前記第2不純物領域と同じ導電型であり、かつ多孔質である、請求項13に記載の横型高耐圧素子を有する半導体装置。

【請求項17】 前記第1および第2不純物領域に挟まれる前記半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ前記第1不純物領域に電気的に接続された第1電極との間および前記第2不純物領域に電気的に接続された第2電極との間で容量を蓄積可能なフィールドプレート用導電層をさらに備えた、請求項13に記載の横型高耐圧素子を有する半導体装置。

【請求項18】 半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、前記半導体層に高耐圧素子が形成された半導体装置の製造方法であって、前記半導体層に不純物を導入することで、前記半導体層の材料よりも広いワイドバンドギャップを有する材料よりなるワイドバンドギャップ層を形成する工程と、前記ワイドバンドギャップ層を有する前記半導体層に埋込絶縁層と半導体基板とを貼り合わせる工程とを備えた、横型高耐圧素子を有する半導体装置の製造方法。

【請求項19】 前記不純物は、前記半導体層表面上に形成された被覆層を通過して前記半導体層に導入される、請求項18に記載の横型高耐圧素子を有する半導体装置の製造方法。

【請求項20】 前記半導体層を構成する元素と同じ元素を前記半導体層に導入することで前記半導体層に非晶質層を形成する工程をさらに備え、前記非晶質層を形成した後に前記不純物を導入して前記ワイドバンドギャップ層を形成することで前記ワイドバンドギャップ層の成長方向を特定する、請求項18に記載の横型高耐圧素子を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、横型高耐圧素子を有する半導体装置およびその製造方法に関し、より特定的には、SOI (Semiconductor on Insulator) 構造よりなり、高耐圧を保持できるようにされた横型高耐圧素子を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 まず従来の技術について説明する。

【0003】 図36は、従来の半導体装置の第1の例を示す概略断面図である。図36を参照して、当該半導体装置は、絶縁基板103を備えている。絶縁基板103の上にn-半導体層102 (SOI層と呼ばれる) が設けられている。n-半導体層102の表面には、低抵抗なn+半導体領域104が設けられている。このn-半導体層102を取囲むようにp+半導体領域105が設けられている。n+半導体領域104にカソード電極1

## 4

06が電気的に接続されている。p+半導体領域105にアノード電極107が電気的に接続されている。絶縁基板103の裏面には、裏面電極108が設けられている。n-半導体層102中に設けられた絶縁膜109は、n-半導体層102を複数の部分に互いに電気的に分離するためのものである。n-半導体層102の上に設けられた絶縁層111は、カソード電極106とアノード電極107とを、他の部分から電気的に分離するためのものである。

【0004】 次に、動作について説明する。図37を参照して、アノード電極107と裏面電極108とを0Vとし、カソード電極106に+電圧を加えていくと、n-半導体層102とp+半導体領域105との間のpn接合から空乏層133が伸びる。空乏層133は、n+半導体領域104に達すると伸長を止める。空乏層133は、一種の絶縁体であり、カソード電極106とアノード電極107との間には電流は流れない。このような半導体装置は、ダイオードと呼ばれている。

【0005】 さらに、この構造に絶縁ゲート構造を付加することで、MOS (Metal Oxide Semiconductor) トランジスタ、IGBT (Insulated Gate Bipolar Transistor) などの自己消弧型デバイスの作製も可能となる。なお、上述の構造において絶縁層103は電圧を分担しない。

【0006】 上記構造を有する半導体装置で高耐圧化を図るためには、電界の大部分を保持するn-半導体層102を広くとる必要がある。水平方向 (図の紙面に対して垂線方向) を広くとることは比較的容易であるが、垂直方向 (図中上下方向) はSOI層の厚み  $t_{soi}$  を大きくする必要があるため、分離領域が拡大するという問題点があり、また分離と埋込の技術が困難になるという問題点がある。

【0007】 図38は、従来の半導体装置の第2の例を示す概略断面図である。図38を参照して、半導体基板101の上に酸化膜よりなる埋込絶縁層103を介在させて、n-半導体層102が設けられている。図中、その他の部材は、図36に示す従来の半導体装置とほぼ同一であるので、同一または相当する部分には、同一の参照符号を付し、その説明は繰返さない。

【0008】 次に、動作について説明する。図39を参照して、アノード電極107と裏面電極108とを0Vとし、カソード電極106に+電圧を加えていくと、n-半導体層102とp+半導体領域105との間のpn接合から空乏層Aが伸びる。このとき、半導体基板101は、全体が0Vになっており、埋込絶縁層103を介して、フィールドプレートとして働くので、前述の空乏層Aに加えて、n-半導体層102と埋込絶縁層103との間の界面から、n-半導体層102の表面に向かう方向に空乏層Bが伸びる。一方、n-半導体層102とp+半導体領域105との間のpn接合での電界は、空

5

乏層Aの伸びが空乏層Bの影響で伸びやすくなることによって緩和される。

【0009】この効果は、一般にRESURF (Reduced Surface Field) 効果と言われており、埋込絶縁層103の代わりに、pn接合をこの界面に沿った位置に延長することによって、同様の効果が期待できることが、J. A. Apper et al., IEBMTech. Dig., 1979, pp. 238-241に紹介されている。

【0010】上述の構造においては、酸化膜とシリコンとの単位厚さ当りの電圧負担割合は、その誘電率 ( $\epsilon_{\text{oxi}} = 3.9$ ,  $\epsilon_{\text{Si}} = 11.7$ ) の逆数の比となるので、約3:1である。このため、電圧のかなりの部分を保持している埋込酸化膜3を厚膜化することによって、耐圧を向上させることができる。

【0011】その様子を、図40に示す。図40において、右上がりに変化している領域がRESURF効果の有効な範囲を示している。膜厚を単純に厚くしていくと、ある値を境にして、逆に耐圧(BV)は低下する。これは、空乏層Bの伸長を助ける半導体基板101のグラウンド電位が遠ざかるにつれて、空乏層Bの伸びが弱くなり、空乏層Aの電界緩和効果が効かなくなっていくからである。したがって、600Vなどの高耐圧を実現するには、埋込酸化膜の膜厚を7 $\mu\text{m}$ 近傍に制御して形成しなければならない。しかし、成膜法では、7 $\mu\text{m}$ 近傍の埋込酸化膜を形成するには、図41に示すようにかなり長いプロセス時間を必要とするため、コストが高くなるという問題点があった。

【0012】高耐圧を保持したままで埋込酸化膜をできるだけ薄くできる従来例として特開平7-183522号公報に示された技術について紹介する。

【0013】図42は、上記公報に示された半導体装置の構成を示す概略断面図である。図42を参照して、半導体基板101上に埋込絶縁層103を介在して半導体層102が形成されている。この半導体層102の表面には、フィールド酸化膜層111bとLDMOSTランジスタが形成されている。

【0014】このLDMOSTランジスタは、チャネル領域105aと、ソース領域105bと、ドレイン領域104と、ドリフト領域120と、ゲート酸化物絶縁層111aと、ゲート電極層112とを有している。チャネル領域105aは、フィールド酸化膜層111bの一方側に形成されており、ソース領域105bはチャネル領域105a内の表面に位置している。ドレイン領域104は、ソース領域105bとフィールド酸化物絶縁層111aを挟んで逆側の表面に位置している。

【0015】ゲート電極層112は、チャネル領域105a上にゲート酸化物絶縁層111aを介して形成されており、かつフィールド酸化膜層111b上に延在している。

【0016】ドリフト領域120は、フィールド酸化物

6

絶縁層111aの底面から半導体層102の底面にわたって、かつソース領域105b側からドレイン領域104側へ向かうように形成されており、たとえばSiC (炭化ケイ素) よりなっている。

【0017】またソース領域105bとチャネル領域105aとに電気的に接続するようにソース電極107が、またドレイン領域104に電気的に接続するようにドレイン電極106が各々形成されている。

【0018】ここで、ドリフト領域120に用いられるSiC層は、SOI層表面部の化学処理、写真製版、注入拡散工程にSiC特有の影響を何ら与えないため、標準的なSiプロセスをそのまま用いてデバイスの作製が可能である。

【0019】そして、SiCは、半導体層を構成する材料であるSi (シリコン) よりもワイドバンドギャップを有している。このため、SiからSiCに置換えることによりアバランシェ発生電界強度が向上し、それにより埋込絶縁層103の膜厚を厚くすることなく耐圧を向上させることができる。

【0020】

【発明が解決しようとする課題】しかしながら、この構造では、ゲートがオフセット形成されている構造であるため、横方向にかかる電圧Vはゲート電極層112とドレイン電極106との間の短い距離 $W_1$ に集中し、電界強度を押し上げる。この様子を図43(a)の等電位線分布および図43(b)の電界強度分布で示す。なお図43(b)は図43(a)のA-A線に沿うSOI層102の表面部での電界強度分布を示している。

【0021】図43(a)、(b)を参照して、電界強度Eが押し上げられるとアバランシェ電界強度に達しやすくなる。そして、SOI層102の表面部でアバランシェ電界強度に達してしまうと、SOI層の底面部をSiC層にしても耐圧向上の効果は望めない。このため、オフセットの効果が期待できるのは表面での電界集中をフィールド酸化膜で保持できる比較的低耐圧領域に限定されてしまう。

【0022】また、横方向にかかる電圧の集中を防止するため、ゲート電極層112とドレイン電極106との間の距離 $W_1$ を広くすることも考えられる。この場合、電界強度は図43(b)に示すよりも全体的に低下する。それでも両端部Rで局所的に高電界領域が形成されやすく、この高電界領域では電界強度ピークPが生じる。このため、このピーク部Pで電界強度Eはアバランシェ電界強度に達しやすく、アバランシェ電界強度に達してしまうと上述と同様、耐圧向上効果は望めない。

【0023】このピーク値を低減させるには、基板条件のパラメータ(SOI層の厚み、SOI層の抵抗値、埋込絶縁層の厚みなど)の組合せを最適化することが考えられるが、これは新たな律速要因を導入することになってしまう。

7

【0024】それゆえ、本発明の目的は、SOI層表面の電界集中に制限されることのない格段に高い耐圧を有する横型高耐圧素子を有する半導体装置およびその製造方法を提供することである。

【0025】

【課題を解決するための手段】本発明の1の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層と、フィールドプレート用導電層とを備えている。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域を有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。フィールドプレート用導電層は、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ第1不純物領域に電氣的に接続された第1電極との間および第2不純物領域に電氣的に接続された第2電極との間で容量を蓄積可能である。

【0026】上記局面において好ましくは、ワイドバンドギャップ層はSiC層を有する。上記局面において好ましくは、第1および第2不純物領域の間の半導体層内に位置し、かつ第1不純物領域と同じ導電型で第1不純物領域よりも低い不純物濃度を有するドリフト領域がさらに備えられている。

【0027】上記局面において好ましくは、第1不純物領域は半導体層の表面に形成されており、ワイドバンドギャップ層は第1不純物領域が形成された半導体層の表面付近に配置されている。

【0028】上記局面において好ましくは、ワイドバンドギャップ層は第1不純物領域の真下に配置されている。

【0029】上記局面において好ましくは、ワイドバンドギャップ層は埋込絶縁層側の半導体層の底面に配置されている。

【0030】上記局面において好ましくは、ワイドバンドギャップ層は絶縁層側の半導体層の底面と距離を隔てて配置されている。

【0031】上記局面において好ましくは、ワイドバンドギャップ層はドリフト領域と同じ導電型の不純物を有し、そのワイドバンドギャップ層の不純物濃度はドリフト領域の不純物濃度の2倍以上10倍以下である。

【0032】本発明の他の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層を有している。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域と、第1

8

および第2不純物領域の間に位置しかつ第1不純物領域と同じ導電型で第1不純物領域よりも低い不純物濃度を有するドリフト領域とを有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。ワイドバンドギャップ層は、第2不純物領域と同じ導電型の不純物を有し、かつ第2不純物領域に電氣的に短絡されている。

【0033】上記局面において好ましくは、埋込絶縁層側の半導体層の底面にワイドバンドギャップ層と第3不純物領域とが互いに隣接して形成されており、かつ第3不純物領域は第2不純物領域と同じ導電型であり、第2不純物領域に電氣的に短絡されている。

【0034】上記局面において好ましくは、半導体層の底面の延びる方向に沿って交互に配置された互いに逆導電型の第4および第5不純物領域がさらに備えられている。ワイドバンドギャップ層は、第2不純物領域との間で第4および第5不純物領域を挟むように配置されており、かつ第5不純物領域によって第2不純物領域と電氣的に短絡されている。

【0035】上記局面において好ましくは、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ第1不純物領域に電氣的に接続された第1電極との間および第2不純物領域に電氣的に接続された第2電極との間で容量を蓄積可能なフィールドプレート用導電層がさらに備えられている。

【0036】本発明のさらに他の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層を備えている。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域を有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。ワイドバンドギャップ層は多孔質である。

【0037】上記局面において好ましくは、ワイドバンドギャップ層は第1不純物領域と同じ導電型である。

【0038】上記局面において好ましくは、ワイドバンドギャップ層は第2不純物領域と同じ導電型である。

【0039】上記局面において好ましくは、埋込絶縁層側の半導体層の底面にワイドバンドギャップ層と第3不純物領域とが互いに隣接して形成されている。第3不純物領域は第2不純物領域と同じ導電型であり、かつ多孔質である。

【0040】上記局面において好ましくは、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を

介在してフローティング状態で形成され、かつ第1不純物領域に電氣的に接続された第1電極との間および第2不純物領域に電氣的に接続された第2電極との間で容量を蓄積可能なフィールドプレート用導電層がさらに備えられている。

【0041】本発明の横型高耐圧素子を有する半導体装置の製造方法は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置の製造方法であって、以下の工程を備えている。

【0042】まず半導体層に不純物を導入することで半導体層の材料よりも広いワイドバンドギャップを有する材料よりなるワイドバンドギャップ層が形成される。そしてワイドバンドギャップ層を有する半導体層に埋込絶縁層と半導体基板とが貼り合わせられる。

【0043】上記局面において好ましくは、不純物は、半導体層表面上に形成された被覆層を通過して半導体層に導入される。

【0044】上記局面において好ましくは、半導体層を構成する元素と同じ元素を半導体層に導入することで半導体層に非晶質層を形成する工程がさらに備えられている。非晶質層を形成した後に不純物を導入してワイドバンドギャップ層を形成することでワイドバンドギャップ層の成長方向が特定される。

【0045】

【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。

【0046】実施の形態1

図1は、本発明の実施の形態1における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図1を参照して、半導体基板1上に、埋込絶縁層3を介在してn-半導体層(SOI層)2が形成されている。このn-半導体層2には、ダイオードが形成されている。

【0047】このダイオードは、n+半導体領域4と、p+半導体領域5とを有している。ここではn-半導体層2の領域はそのままn-ドリフト領域として用いられ、p+半導体領域5とpn接合を形成している。またn+半導体領域4は、n-ドリフト領域2の領域内であって半導体層2の表面に形成されている。

【0048】このn+半導体領域4に電氣的に接続するようにカソード電極6が、またp+半導体領域5に電氣的に接続するようにアノード電極7が各々形成されている。n-半導体層2上に設けられた絶縁層11はカソード電極6とアノード電極7とを、他の部分から電氣的に分離するためのものである。

このダイオードのような横型高耐圧素子において、耐圧を印加したとき(たとえばアノード電極7に0V、カソード電極に+電圧を印加したとき)に、n-半導体層2内で電界強度が最も高くなる領域に少なくとも位置する

ように、ワイドバンドギャップ層20が形成されている。このワイドバンドギャップ層20は、半導体層2を形成するSiよりも広いバンドギャップを有する材料、たとえばSiCよりなっている。

【0049】またカソード電極6とアノード電極7との間の絶縁層11上には、複数の導電層31、32によって構成される容量結合型多重フィールドプレートが形成されている。この複数の導電層31、32は各々絶縁層33によって絶縁されており、かつ各々フローティング状態(島状態)で形成されている。

【0050】また半導体基板1の裏面には、裏面電極8が形成されている。このような横型高耐圧素子を有する半導体装置では、逆阻止電圧印加時(耐圧印加時)にSOI層2の底面部で電界集中による局所的な高電界領域が形成される。このことは、たとえば“秋山他、電子デバイス・半導体電力変換合同研究会資料、EDD-92-106(SPC-92-72)、1992年”などで周知のとおりである。そこで、SiCのアバランシェ電界強度が $4.0 \times 10^6 \text{ V/cm}$ で、Siの $3.7 \times 10^5 \text{ V/cm}$ に比較して約1桁高いことに注目し、SOI層2中で最も電界強度の高くなることが多い部分に $0.4 \sim 0.6 \mu\text{m}$ 前後のSiC薄膜層20を付加することで、アバランシェ耐量を本質的に強化し耐圧を向上させることができる。

【0051】そこで、本実施例を従来例と比較した場合どの程度耐圧の改善効果が得られるかをデバイス・シミュレーションによって計算した。その条件および結果を以下に示す。

【0052】まず本発明例を図1に示すようにSiC層20を形成したデバイスとし、従来例をSiC層を形成しないデバイスとした。またSOI基板共通条件としては、SOI層の厚みを $15 \mu\text{m}$ とし、埋込酸化膜の厚みを $5 \mu\text{m}$ とし、デバイスのA(アノード)-K(カソード)間距離を $88 \mu\text{m}$ とした。この共通条件に基づいて、Si-SOI比抵抗をパラメータとして本発明例と従来例との耐圧を比較した。その結果を図2に示す。

【0053】図2を参照して、従来例では $6 \Omega \cdot \text{cm}$ 以上、本発明例では $10 \Omega \cdot \text{cm}$ でRESURF効果が発現するという違いがあるものの、各々の最高耐圧は $661 \text{ V}$ 、 $1226 \text{ V}$ であり、本発明例では従来例の約2倍の耐圧向上効果が得られた。このことより、SiC薄膜層を局所的な高電界領域が形成される領域に設けることによって、耐圧を向上できることが確認された。

【0054】しかしながら、単にSiC層20を設けただけでは、図42に示す従来例と同様、電界強度分布の不均一により耐圧向上の効果が非常に制限されたものになってしまう。そこで、本実施の形態では、カソード電極6とアノード電極7との間に容量結合型多重フィールドプレート31、32が設けられている。

【0055】この容量結合型多重フィールドプレート3



11

1、32は、図3に示すようにカソード電極6とアノード電極7とに電位が印加された場合に、カソード電極6とアノード電極7との間で各導電層31、32によりキャパシタを構成する。この状態は、図4に示すようにカソード電極6とアノード電極7との間に複数の容量が直列に接続された状態となっている。

【0056】カソード電極6とアノード電極7との間でこのような容量が形成されるため、図5(a)に示すように半導体層2の表面における電気力線はほぼ均一な状態となる。このため、図5(b)に示すように半導体層2表面側における電界強度分布はほぼ均一となり、電界強度分布の不均一性は解消される。

【0057】これにより、図5(c)に示すように、半導体層2中で比較的高い電界強度を示すのは底面部に限定されることになるが、この底面部にはSiC薄膜層20が形成されているため、耐圧向上を図る効果は増大する。つまり、本実施の形態では、アバランシェ発生領域をSiC薄膜層20に置換えることでアバランシェ発生電界強度を上げ、同時に半導体層2の表面部に容量結合型多重フィールドプレートを形成することで、半導体層2中での電界強度分布の平坦化を図る。この2つの効果が相乗することで始めて従来より格段に高い耐圧を有する横型高耐圧素子を得ることができるのである。

【0058】なお、図5(b)と(c)とは、図5(a)のC-C線とD-D線とに沿う各電界強度Eの分布を示している。

#### 【0059】実施の形態2

図6は、本発明の実施の形態2における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図6を参照して、本実施の形態では、SiC薄膜層20は、半導体層2の表面に形成されている。

【0060】なお、これ以外の構成については、上述した実施の形態1(図1)とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0061】本実施の形態の構成は、特にパワーデバイスと論理IC(Integrated Circuit)とを一体化したワンチップインバータなどのように、特に設計上の必要性からパワーデバイスのRESURF効果による高耐圧保持に最適なSOI活性層基板2の比抵抗より高めの比抵抗でSOI活性層基板2を製造しなければならない場合に有効である。以下そのことについて詳細に説明する。

【0062】図7～図10は、SOI層の種々の不純物濃度に対する各ポテンシャル分布を示す図であり、前記参考文献“秋山他、電子デバイス・半導体電力変換合同研究会資料、EDD-92-106(SPC-92-72)、1992年”から抜粋したものである。ここで各SOI層の不純物濃度 $N_{soi}$ は、図7では $5.0 \times 10^{14} \text{cm}^{-3}$ 、図8では $1.0 \times 10^{15} \text{cm}^{-3}$ 、図9では $2.0 \times 10^{15} \text{cm}^{-3}$ 、図10では $4.0 \times 10^{15} \text{cm}^{-3}$ である。

12

【0063】図7～図10を参照して、比抵抗が高めの $10 \Omega \cdot \text{cm}$ ( $5 \times 10^{14} \text{cm}^{-3}$ :図7)および $5 \Omega \cdot \text{cm}$ ( $1 \times 10^{15} \text{cm}^{-3}$ :図8)では、SOI活性層表面側で電界集中が発生しており、比抵抗が $3 \Omega \cdot \text{cm}$ ( $2 \times 10^{15} \text{cm}^{-3}$ :図9)ではSOI活性層底面側に発生しており、比抵抗が低めの $1 \Omega \cdot \text{cm}$ ( $4 \times 10^{15} \text{cm}^{-3}$ :図10)ではRESURF効果が失われている様子がわかる。これらの不純物濃度の変化に対する電界集中によるブレイクポイントの位置の変化を図11に示す。

【0064】図11を参照して、電界集中によるブレイクポイントの位置は、SOI層の濃度が比較的低い場合にはSOI層の表面(a、b)であり、SOI層の不純物濃度が上がると、SOI層底面部(c)へと移行した後 $p^+$ 半導体領域と $n^-$ 半導体領域との接合面(d)へと移行する。なお、図中記号aは図7、記号bは図8、記号cは図9、記号dは図10の各条件に対応している。

【0065】本実施の形態では、図6で示したように、SiC層20がSOI層2の表面に配置されているため、図11のa、bに該当するSOI活性層の比抵抗が高めの条件において格段に優れた耐圧向上効果を得ることができる。

#### 【0066】実施の形態3

図12は、本発明の実施の形態3における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図12を参照して、本実施の形態では、SiC薄膜層20は、半導体層2の底面であって、カソード電極6の真下に位置している。なお、これ以外の構成については、図1に示した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0067】本実施の形態では、図11のcに示されたように、RESURF効果によって決定された耐圧がカソード電極6の真下であってSOI層2の底面部でアバランシェ現象を引き起こす場合において格段に優れた耐圧向上効果を得ることができる。

#### 【0068】実施の形態4

図13は、本発明の実施の形態4における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図13を参照して、本実施の形態では、SiC薄膜層20は、半導体層2の表面であって $n^+$ 半導体領域4付近に選択的に形成されている。なお、これ以外の構成については、図1に示す実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0069】本実施の形態では、図11のa、bに示されたようにRESURF効果によって決定された耐圧がカソード電極6真下の半導体層2の表面部でアバランシェ現象を引き起こす場合において格段に優れた耐圧向上



13

効果を得ることができる。

#### 【0070】実施の形態5

図14は、本発明の実施の形態5における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図14を参照して、本実施の形態では、SiC薄膜層20は、半導体層2の底面から距離dを隔て配置されている。この距離dは、最大0.5μmである。なお、これ以外の構成については、図1に示す実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0071】本実施の形態は、図11のcに示されたように、RESURF効果によって決定された耐圧がカソード電極6真下の半導体層2の底面部でアバランシェ現象を引き起こす場合において格段に優れた耐圧向上効果を得ることができる。

【0072】耐圧印加時に、図14の点C1で示したアバランシェ現象開始点を皮切りにアバランシェ現象は増大していくが、距離dを隔てたSiC薄膜層20に達するとアバランシェ領域の増大は抑制される。また距離dが0.5μm以下と短いことから、耐圧特性を律速する段階には至らず、最終的にはSiC薄膜層20中でアバランシェ現象が進行する状態になって初めて耐圧が決定され、結果として高耐圧が得られる。

【0073】また本実施の形態の構成は、SiC薄膜層20を界面から隔てて形成したため、デバイスプロセス上、SiC薄膜層20と埋込絶縁層3とが直接隣り合った界面を形成しない方がよい場合に有効な構造である。たとえば、接着強度の確保が困難な場合や、熱膨張率の違いによって与えられるストレスでSOI基板に塑性変形の発生することが懸念される場合などに特に有効な構造である。

#### 【0074】実施の形態6

図15は本発明の実施の形態6における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図であり、図16は図15のE-E線に沿う深さ方向の不純物濃度分布を示す図である。

【0075】図15と図16とを参照して、本実施の形態では、SiC薄膜層20は、図1に示す実施の形態1と同じ位置に配置されているが、このSiC薄膜層20中の不純物濃度分布が実施の形態1と異なる。本実施の形態では、このSiC薄膜層20に、半導体層2と同じ導電型(n型)の不純物が半導体層2の不純物濃度の2倍以上10倍以下の濃度となるように含まれている。なお、これ以外の構成については、図1に示す実施の形態1とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0076】なお図16のSiC薄膜層中の不純物濃度分布を示す実線は従来例を示し、点線は半導体層にC(炭素)のイオン注入によってSiC薄膜層20を形成した場合に一般的に認められる不純物濃度分布(本発明

14

例1)を示し、一点鎖線は本実施の形態の不純物濃度分布(本発明例2)を示している。

【0077】図16における本発明例1は従来例に比較して耐圧向上効果が認められることはもちろんであるが、本発明例2は本発明例1に比較してさらに耐圧向上効果を期待することができる。これは、逆阻止電圧印加時においてRESURF効果の前提である空乏化の条件を満たす範囲であれば、アバランシェ現象が開始されるSiC薄膜層20の不純物濃度がより高い方が臨界電界強度をさらに高くすることができるからである。

#### 【0078】実施の形態7

図17は、本発明の実施の形態7における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図17を参照して、本実施の形態では、SiC薄膜層20は、SOI層2の底面に形成されており、かつn-半導体層2と逆導電型(p型)である。またSiC薄膜層20上には、SiC薄膜層20と隣接して形成されたp-半導体領域5aが、p+半導体領域5と電気的に短絡するように形成されている。このp-半導体領域5aおよびSiC薄膜層20の不純物濃度はp+半導体領域5の不純物濃度よりも低く設定されている。

【0079】なお、これ以外の構成については、図1に示す実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0080】次に動作について説明する。図17を参照して、逆バイアス印加時にはn-半導体層2とp+半導体領域5との接合界面から空乏層が伸長し始めるが、同時にp-半導体領域5aとn-半導体層2との接合界面からも空乏層が伸長する。この双方から延びる空乏層はともにRESURF効果によってその伸長が促進される。ここで、p-半導体領域5aとSiC薄膜層20とのp型不純物濃度をn-半導体領域2とほぼ同じ程度まで低濃度化することで、比較的低い逆バイアス電圧で双方の薄膜層20、5aは完全に空乏化し、これ以上の電圧は埋込絶縁層3が負担することになる。

【0081】本実施の形態では、SiC薄膜層20を設けたことにより、電界強度の集中する場所でアバランシェ開始電界強度を1桁高く設定できることから、実施の形態1で説明したのと同様、高耐圧化を図ることができる。

#### 【0082】実施の形態8

図18は、本発明の実施の形態8における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図18を参照して、本実施の形態では、SiC薄膜層20がn-半導体層2と逆導電型(p型)を有し、かつp+半導体領域5と直接電気的に短絡されている。またSiC薄膜層20は、p+半導体領域5よりも低い不純物濃度に設定されている。なお、これ以外の構成については、図1に示す実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付しその説

明を省略する。

【0083】本実施の形態では、図17に示す実施の形態7とほぼ同じ動作を示す。また本実施の形態では、SiC薄膜層20を設けたことにより、電界強度の集中する場所でアバランシェ開始電界強度を1桁高く設定できることから、実施の形態1で説明したのと同様、高耐圧化を図ることができる。

#### 【0084】実施の形態9

図19は、本発明の実施の形態9における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図であり、図20は、図19のF-F線に沿う概略断面図である。なお、図19は、図20のG-G線に沿う断面に対応している。また、図19においては、埋込絶縁層3の下部に位置する半導体基板は説明の便宜上省略してある。

【0085】図19と図20とを参照して、本実施の形態における横型高耐圧素子はIGBTであり、このIGBTは、p<sup>+</sup>半導体領域5aと、n<sup>+</sup>エミッタ領域5bと、n型半導体領域4aと、p<sup>+</sup>コレクタ領域4bと、ゲート電極層12とを有している。

【0086】ここではn-半導体層2の領域はそのままn-ドリフト領域として用いられ、p<sup>+</sup>半導体領域5aとpn接合を構成している。n<sup>+</sup>エミッタ領域5bは、p<sup>+</sup>半導体領域5a内の表面に配置されている。またn型半導体領域4aは、n-ドリフト領域2内の表面に配置されており、p<sup>+</sup>コレクタ領域4bは、n型半導体領域4a内の表面に配置されている。またゲート電極層12は、n<sup>+</sup>エミッタ領域5bとn-ドリフト領域2とで挟まれるp<sup>+</sup>半導体領域5aの表面領域とゲート絶縁層（図示せず）を介在して対向するように形成されている。

【0087】そして、半導体層2の底面には、n型半導体領域4aの真下に位置するようにp-SiC薄膜層20aが形成されている。このp-SiC薄膜層20とp<sup>+</sup>半導体領域5aとの間には、半導体層2の底面に沿ってn-ドリフト領域2とp-半導体領域5cとが交互に配置されている。そしてp-SiC薄膜層20は、p-半導体領域5cを介在してp<sup>+</sup>半導体領域5aに電氣的に短絡されている。

【0088】また、図20に示す平面図においてn-ドリフト領域2とp-半導体領域5cとの面積割合はp-半導体領域5cが20%以下、n-ドリフト領域2が80%以上であることが望ましい。

【0089】本実施の形態において、逆バイアス印加時に空乏層の伸長する様子と高耐圧化の実現の様子とは、基本的には上述した実施の形態7および8と同様である。本実施の形態では、これに加えてIGBTとしてオン動作時にも新たなメリットを得ることができる。以下そのことについて説明する。

【0090】図19においてIGBTのオン動作時にp

+コレクタ領域4bから注入されたホール電流(h<sup>+</sup>)は距離的に間近にあるp-SiC薄膜層20に再注入されやすい。IGBTでは、ターンオン過程において十分な電流担体がn-ドリフト領域2に蓄積されることにより、電子-正孔対による導電率変調と呼ばれる低抵抗状態が出現し、ターンオンが完了する。ところが、ホール電流(h<sup>+</sup>)がp-SiC薄膜層20に再注入されると、n-ドリフト領域2内に蓄積されるホールの数が減少し、導電率変調に寄与する割合が低下するためオン電圧の増加を招く懸念がある。

【0091】そこで、本実施の形態では、図20に示すようなp-半導体領域5cとn-ドリフト領域2との交互配置構造を採用することで、p-半導体領域5cの抵抗R<sub>h+</sub>を高くしている。この高抵抗R<sub>h+</sub>により、p-SiC薄膜層20に注入されたホール電流はp<sup>+</sup>半導体領域に流れにくくなり、ひいてはp-SiC薄膜層20へホール電流は注入され難くなる。これによりn-ドリフト領域中に蓄積されるホールの数が減少するのを抑制できるため、オン電圧の増加を回避することができる。

【0092】なお、本実施の形態にも容量結合型多重フィールドプレートが設けられてもよい。

#### 【0093】実施の形態10

図21は、本発明の実施の形態10における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図21を参照して、本実施の形態では、半導体層2の底面全面にわたってポーラス化（多孔質化）されたn-SiC薄膜層20が形成されており、n-ドリフト領域2および埋込絶縁層3の各々に隣接している。なお、これ以外の構成については、図1に示す実施の形態1とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0094】またSiC薄膜層20をポーラス化する方法は、たとえばLiang-Sheng Liao et al., "Intense blue emission from porous  $\beta$ -SiC formed on C<sup>+</sup>-implanted silicon, Appl. Phys. Lett. 66 (18), pp. 2382-2384, 1 May 1995に開示されている。この開示された方法によれば、ポーラス化は比較的簡単な電界ウェット処理により実現可能であり、ポーラス形成層の厚さ、ポーラス径、ポーラス密度は十分制御可能である。

【0095】このように構成されたデバイスに逆バイアスを印加すると基本的にRESURF効果は保持されたままで半導体層2の全域が速やかに空乏化されていき、ポーラスn-SiC薄膜層20のカソード寄りの部分が最も電界強度の高い領域となる。アバランシェ電界強度へ近づくにつれてSiC薄膜層20内よりアバランシェ電流が発生し出すが、ポーラスの存在によってその拡散と増殖は抑制される。これにより、上述した実施の形態7~9で述べた効果に加えて、さらに高耐圧化を図ることが可能となる。

17

## 【0096】実施の形態11

図22は、本発明の実施の形態11における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。図22を参照して、本実施の形態では、半導体層2の底面にポーラス化されたp-SiC薄膜層20が形成されており、このp-SiC薄膜層20上でこのp-SiC薄膜層20と隣接するようにp-半導体領域30が形成されている。このp-SiC薄膜層20とp-半導体領域30とは、p<sup>+</sup>半導体領域5に電氣的に短絡されており、かつともにポーラス化されている。なお、これ以外の構成については、図1に示す実施の形態1とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0097】なお、ポーラス化を行なうに際して陽極化性電流はp型半導体領域であるp-SiC薄膜層20とp-半導体領域30内に限定して流れることから、これらの層20、30を制御性良くポーラス化することができる。

【0098】本実施の形態では、逆バイアス印加時の高耐圧化に関しては実施の形態10と同じ理由により実現することができる。

## 【0099】実施の形態12

図23は、本発明の実施の形態12における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図であり、図24は、図23のH-H線に沿う概略断面図である。なお、図23は、図24のI-I線に沿う断面に対応している。

【0100】図23と図24とを参照して、本実施の形態では、半導体層2の底面に位置するp-SiC薄膜層20は、ポーラス化されている。またp-SiC薄膜層20とp<sup>+</sup>半導体領域5aとの間に位置するp-半導体領域5cもポーラス化されている。

【0101】なお、これ以外の構成については、図19と図20とに示した実施の形態9とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0102】本実施の形態の逆バイアス印加時における高耐圧化のメリットとオン動作時におけるオン電圧増加の抑制効果は実施の形態9に述べた内容と同一である。

【0103】加えて、p-SiC薄膜層20とp-半導体領域5cとがポーラス化されているため、実施の形態10および11で説明したのと同様、このポーラスによってアバランシェ電流の拡散と増殖が抑制されるため、さらに高耐圧化を図ることが可能となる。

【0104】なお、本実施の形態においても容量結合型多重フィールドプレートが設けられてもよい。

## 【0105】実施の形態13

次に、上述した実施の形態1、3および4に係る半導体装置のSOI基板の製造方法を実施の形態13として説明する。

18

【0106】図25～図28は、本発明の実施の形態13における横型高耐圧素子を有する半導体装置の製造方法を工程順に示す概略断面図である。

【0107】まず図25を参照して、シリコンよりなる半導体層2の貼り合わせ側表面にC（炭素）イオンが注入される。この注入時の温度は800℃以上であり、かつ注入量は $1 \times 10^{16} \text{ cm}^{-2}$ 以上である。

【0108】図26を参照して、Cイオン注入後、1100℃以上、3時間以上の熱処理を行なうことによってSiC結晶化を行ない、半導体層2中にSiC薄膜層20が形成される。

【0109】図27を参照して、CMP（Chemical Mechanical Polishing）法などにより半導体層2の貼り合わせ側表面が精密研磨され、SiC薄膜層20の貼り合わせ側に残存する薄膜Si層2の一部または全部が除去される。これにより、半導体層2の貼り合わせ側表面の平坦化が行なわれる。

【0110】図28を参照して、半導体層2の貼り合わせ側表面に埋込酸化膜3とシリコン基板1とが貼り合わせられ、SOI基板が形成される。

【0111】本実施の形態の製造方法で貼り合わせを行なうことにより、歩留りを向上することができ、かつ安定した貼り合わせ界面特性を持つSOI基板を製造することが可能となる。

## 【0112】実施の形態14

図29～図31は、本発明の実施の形態14における横型高耐圧素子を有する半導体装置の製造方法を工程順に示す概略断面図である。

【0113】図29を参照して、シリコンよりなる半導体層2の貼り合わせ側表面上に、厚さ2000Å以上のシリコン酸化膜（SiO<sub>2</sub>膜）またはシリコン窒化膜（Si<sub>3</sub>N<sub>4</sub>膜）よりなる注入厚膜マスク40が形成される。

【0114】図30を参照して、この注入厚膜マスク40を介して半導体層2にCイオンが注入される。この注入時における温度は800℃以上であり、かつ注入量が $1 \times 10^{16} \text{ cm}^{-2}$ 以上である。

【0115】図31を参照して、このCイオン注入後、1100℃以上、3時間以上の熱処理を行なうことによりSiC結晶化を行ない、半導体層2中にSiC薄膜層20が形成される。この際、注入厚膜マスク40の存在によって半導体層2の貼り合わせ側表面の平坦性は保持されたままSiC結晶化が進行する。

【0116】この後、注入厚膜マスク40が除去された後、図27と図28とに示す実施の形態13と同様の工程を経ることにより、SOI基板が形成される。

【0117】本実施の形態の製造方法により貼り合わせを行なうことによって、歩留りを向上させることができ、かつ安定した貼り合わせ界面特性を持つSOI基板を製造することが可能となる。

【0118】また、注入厚膜マスク40をSiCのスパッタやプラズマCVDで形成することも考えられる。これは、Cイオンの注入時にノックオン現象に代表される異種不純物の混入によってデバイス特性に影響を与えることが懸念される場合に、特に有効である。

#### 【0119】実施の形態15

図32～図35は、本発明の実施の形態15における横型高耐圧素子を有する半導体装置の製造方法を工程順に示す概略断面図である。

【0120】図32を参照して、注入厚膜マスク61がシリコン基板2の貼り合わせ側表面上に形成される。

【0121】図33を参照して、この注入厚膜マスク40を介してSiイオンがシリコン層2に注入される。これにより、半導体層2の所定位置に非晶質シリコン層2aが形成される。

【0122】図34を参照して、この後、注入厚膜マスク40を介してCイオンがSiイオン注入（図33）よりも浅いレンジでシリコン層2に注入される。

【0123】図35を参照して、Cイオン注入後、1100℃以上、3時間以上の熱処理を行なうことによりSiC結晶化を行ない、半導体層2中にSiC薄膜層20が形成される。この際、非晶質層2aの存在によってSiC結晶化が裏面側へ向かって1方向に進行することになり、SiCの結晶の制御性が容易となる。またこの際、表面側が注入厚膜マスク40によって結晶性および平坦性が維持されたままSiC結晶化が進行する。

【0124】なお、上述した実施の形態13～15では、いずれもCイオン注入をベースに展開したものであるが、結果的に類似の構造が得られるものとして、たとえば特開平1-135070号公報または欧州特許（EP-0317-445-B1）に示された、CVDなどの成膜によりSiCを形成する製法をベースにしたものもある。これらの従来例に対しては、本実施の形態13～15は基本的に貼り合わせ時の平坦性を維持できると、貼り合わせ時の組合せをSi/SiO<sub>2</sub>、SiC/SiO<sub>2</sub>、SiC/Si、SiO<sub>2</sub>/SiO<sub>2</sub>など目的に応じて選択できることなどの点で有効性を発揮することができる。

【0125】また、上述した本実施の形態1～15では、ワイドバンドギャップ層20としてSiC薄膜層について説明したが、これ以外に半導体層2よりも広いバンドギャップを有する材料であればいかなる材料であってもよい。またワイドバンドギャップ層20の材料は、標準的なSiプロセスをそのまま用いてデバイスの作製ができる材料であればより好ましい。

【0126】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図され

る。

#### 【0127】

【発明の効果】本発明の1の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層と、フィールドプレート用導電層とを備えている。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域を有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。フィールドプレート用導電層は、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ第1不純物領域に電気的に接続された第1電極との間および第2不純物領域に電気的に接続された第2電極との間で容量を蓄積可能である。

【0128】本発明の1の局面に従う横型高耐圧素子を有する半導体装置では、フィールドプレート用導電層を設けているため、半導体層表面における電界分布を均一にすることができる。これにより、半導体層表面の電界強度がアバランシェ電界強度に達することは抑制される。このため、フィールドプレート用導電層による耐圧向上効果と、電界強度が最も高くなる領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を実現することができる。

【0129】上記局面において好ましくは、ワイドバンドギャップ層はSiC層を有する。このSiC層を用いれば、標準的なSiプロセスをそのまま用いてデバイスを作製することが可能となる。

【0130】上記局面において好ましくは、第1および第2不純物領域の間の半導体層内に位置し、かつ第1不純物領域と同じ導電型で第1不純物領域よりも低い不純物濃度を有し、かつ第2不純物領域との間でpn接合を形成するドリフト領域がさらに備えられている。このドリフト領域を備えることにより、高い耐圧を得ることができる。

【0131】上記局面において好ましくは、第1不純物領域は半導体層の表面に形成されており、ワイドバンドギャップ層は第1不純物領域が形成された半導体層の表面付近に配置されている。これにより、第1不純物領域の形成領域付近で電界強度が最も高くなる場合でも、その部分で電界強度がアバランシェ電界強度に達することを抑制することができる。

【0132】上記局面において好ましくは、ワイドバンドギャップ層は第1不純物領域の真下に配置されている。これにより、第1不純物領域の真下で電界強度が最も高くなる場合でも、その部分で電界強度がアバランシェ電界強度に達することを抑制することができる。

21

【0133】上記局面において好ましくは、ワイドバンドギャップ層は埋込絶縁層側の半導体層の底面に配置されている。これにより、半導体層の底面で電界強度が最も高くなる場合でも、その部分で電界強度がアバランシェ電界強度に達することを抑制することができる。

【0134】上記局面において好ましくは、ワイドバンドギャップ層は絶縁層側の半導体層の底面と距離を隔てて配置されている。これにより、半導体層底面からのアバランシェ領域への増大はワイドバンドギャップ層によって抑制され高耐圧を得ることができる。また、ワイドバンドギャップ層と埋込絶縁層とが直接接することがなくなるため、半導体層と埋込絶縁層との接着強度の確保が容易となり、熱膨張率の違いによるストレスからの塑性変形も抑制できる。

【0135】上記局面において好ましくは、ワイドバンドギャップ層はドリフト領域と同じ導電型の不純物を有し、ワイドバンドギャップ層の不純物濃度は、ドリフト領域の不純物濃度の2倍以上10倍以下である。これにより、臨界電界強度をさらに高くすることができるため、さらに高い耐圧向上効果を期待することができる。

【0136】本発明の他の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層を有している。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域と、第1および第2不純物領域の間に位置しかつ第1不純物領域と同じ導電型で第1不純物領域よりも低い不純物濃度を有するドリフト領域とを有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。ワイドバンドギャップ層は、第2不純物領域と同じ導電型の不純物を有し、かつ第2不純物領域に電氣的に短絡されている。

【0137】本発明の他の局面に従う横型高耐圧素子を有する半導体装置では、ワイドバンドギャップ層が第2不純物領域と同じ導電型の不純物を有し、かつ第2不純物領域と電氣的に短絡されている。このため、ワイドバンドギャップ層をこのように形成したことによる耐圧向上効果と、電界強度が最も高くなる領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を実現することができる。

【0138】上記局面において好ましくは、埋込絶縁層側の半導体層の底面にワイドバンドギャップ層と第3不純物領域とが互いに隣接して形成されており、かつ第3不純物領域は第2不純物領域と同じ導電型であり、第2不純物領域に電氣的に短絡されている。これにより、より高い耐圧を得ることが可能となる。

【0139】上記局面において好ましくは、半導体層の

22

底面の延びる方向に沿って交互に配置された互いに逆導電型の第4および第5不純物領域がさらに備えられている。ワイドバンドギャップ層は、第2不純物領域との間で第4および第5不純物領域を挟むように配置されており、かつ第5不純物領域によって第2不純物領域と電氣的に短絡されている。これにより、横型高耐圧素子をIGBTとしたときのオン動作時にコレクタ領域からワイドバンドギャップ層へのキャリアの注入を防止できるため、導電率変調に寄与できるキャリア数を多くすることができ、オン電圧の増加を回避することができる。

【0140】上記局面において好ましくは、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ第1不純物領域に電氣的に接続された第1電極との間および第2不純物領域に電氣的に接続された第2電極との間で容量を蓄積可能なフィールドプレート用導電層がさらに備えられている。このフィールドプレート用導電層を設けているため、半導体層表面における電界分布を均一にすることができる。これにより、半導体層表面の電界強度がアバランシェ電界強度に達することは抑制される。このため、フィールドプレート用導電層による耐圧向上効果と、電界強度が最も高くなる領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を実現することができる。

【0141】本発明のさらに他の局面に従う横型高耐圧素子を有する半導体装置は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置であって、ワイドバンドギャップ層を備えている。高耐圧素子は、半導体層に形成された互いに逆導電型の第1および第2不純物領域を有している。ワイドバンドギャップ層は、高耐圧素子に耐圧が印加されたときに半導体層中で電界強度が最も高くなる領域に少なくとも位置し、かつ半導体層の材料よりも広いバンドギャップを有する材料よりなっている。ワイドバンドギャップ層は多孔質である。

【0142】本発明のさらに他の局面に従う横型高耐圧素子を有する半導体装置では、ワイドバンドギャップ層が多孔質であるため、アバランシェ電流の拡散と増殖が孔の存在によって抑制される。このため、孔による効果と、電界強度が最も高くなる領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を実現することができる。

【0143】上記局面において好ましくは、ワイドバンドギャップ層は第1不純物領域と同じ導電型である。これにより、より高い耐圧を得ることが可能となる。

【0144】上記局面において好ましくは、ワイドバンドギャップ層は第2不純物領域と同じ導電型の不純物を有し、かつ第2不純物領域と電氣的に短絡されている。これにより、ワイドバンドギャップ層をこのように設けたことによる耐圧向上効果と、電界領域が最も高くなる

23

領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を得ることが可能となる。

【0145】上記局面において好ましくは、埋込絶縁層側の半導体層の表面にワイドバンドギャップ層と第3不純物領域とが互いに隣接して形成されている。第3不純物領域は第2不純物領域と同じ導電型であり、かつ多孔質である。これにより、第3不純物領域においても、孔によってアバランシェ電流の拡散と増殖が抑制される。

【0146】上記局面において好ましくは、第1および第2不純物領域に挟まれる半導体層の領域上に絶縁層を介在してフローティング状態で形成され、かつ第1不純物領域に電気的に接続された第1電極との間および第2不純物領域に電気的に接続された第2電極との間で容量を蓄積可能なフィールドプレート用導電層がさらに備えられている。このフィールドプレート用導電層を設けているため、半導体層表面における電界分布を均一にすることができる。これにより、半導体層表面の電界強度がアバランシェ電界強度に達することは抑制される。このため、フィールドプレート用導電層による耐圧向上効果と、電界強度が最も高くなる領域に設けられたワイドバンドギャップ層の耐圧向上効果との相乗効果により格段に高い耐圧を得ることが可能となる。

【0147】本発明の横型高耐圧素子を有する半導体装置の製造方法は、半導体基板上に埋込絶縁層を介在して形成された半導体層を有し、半導体層に高耐圧素子が形成された半導体装置の製造方法であって、以下の工程を備えている。まず半導体層に不純物を導入することで半導体層の材料よりも広いワイドバンドギャップを有する材料よりなるワイドバンドギャップ層が形成される。そしてワイドバンドギャップ層を有する半導体層に埋込絶縁層と半導体基板とが貼り合わせられる。

【0148】本発明の横型高耐圧素子を有する半導体装置の製造方法では、歩留りを向上させ、安定した貼り合わせ界面特性を持つSOI基板を製造することができる。

【0149】上記局面において好ましくは、不純物は、半導体層表面上に形成された被覆層を通過して半導体層に導入される。これにより、不純物導入時にノックオン現象に代表される異種不純物の混入を抑制することができる。

【0150】上記局面において好ましくは、半導体層を構成する元素と同じ元素を半導体層に導入することで半導体層に非晶質層を形成する工程がさらに備えられている。非晶質層を形成した後に不純物を導入してワイドバンドギャップ層を形成することでワイドバンドギャップ層の成長方向を特定することができる。これにより、ワイドバンドギャップの成長方向を特定でき、ワイドバンドギャップ層を制御性よく形成することが可能となる。

【図面の簡単な説明】

24

【図1】 本発明の実施の形態1における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1の構成と従来例のSiC層を有しない構成との耐圧を比較したグラフである。

【図3】 図1の容量結合型多重フィールドプレートの部分を拡大して示す部分断面図である。

【図4】 容量結合型多重フィールドプレートの役割を説明するための図である。

【図5】 本発明の実施の形態1における横型高耐圧素子を有する半導体装置において電界分布の不均一性が解消されることを説明するための図である。

【図6】 本発明の実施の形態2における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図7】 電界集中の様子を示す第1の図である。

【図8】 電界集中の様子を示す第2の図である。

【図9】 電界集中の様子を示す第3の図である。

【図10】 電界集中の様子を示す第4の図である。

【図11】 SOI層の不純物濃度の増加に伴ってブレイクポイントがどのように変わるかを説明するための図である。

【図12】 本発明の実施の形態3における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図13】 本発明の実施の形態4における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図14】 本発明の実施の形態5における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図15】 本発明の実施の形態6における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図16】 図15のE-E線に沿う不純物濃度分布を示すグラフである。

【図17】 本発明の実施の形態7における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図18】 本発明の実施の形態8における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図19】 本発明の実施の形態9における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図20】 図19のF-F線に沿う概略断面図である。

【図21】 本発明の実施の形態10における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。



【図 2 2】 本発明の実施の形態 1 1 における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図 2 3】 本発明の実施の形態 1 2 における横型高耐圧素子を有する半導体装置の構成を概略的に示す断面図である。

【図24】 図23のH-H線に沿う概略断面図である。

【図 25】 本発明の実施の形態 13 における横型高耐圧素子を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 26】 本発明の実施の形態 13 における横型高耐圧素子を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 27】 本発明の実施の形態 13 における横型高耐圧素子を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 28】 本発明の実施の形態 13 における横型高耐圧素子を有する半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 29】 本発明の実施の形態 14 における横型高耐圧素子を有する半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 30】 本発明の実施の形態 14 における横型高耐圧素子を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 3 1】 本発明の実施の形態 1 4 における横型高耐圧素子を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 3 2】 本発明の実施の形態 1 5 における横型高耐 30  
圧素子を有する半導体装置の製造方法の第 1 工程を示す  
概略断面図である。 \*

\*【図 3 3】 本発明の実施の形態 1 5 における横型高耐圧素子を有する半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 3 4】 本発明の実施の形態 1 5 における横型高耐圧素子を有する半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 35】 本発明の実施の形態 15 における横型高耐圧素子を有する半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 3 6】 従来の横型高耐圧素子を有する半導体装置の第 1 の例を示す概略断面図である。

【図 3 7】 図 3 6 に示す高耐圧素子の動作を説明するための図である。

【図 38】 従来の横型高耐圧素子を有する半導体装置の第 2 の例を示す概略断面図である。

【図 39】 図 38 に示す横型高耐圧素子の動作を説明するための図である。

【図40】 埋込酸化膜の膜厚を変化させた場合の耐圧の変化を示すグラフである。

【図 4 1】 成膜法で埋込酸化膜を形成する場合の酸化時間と酸化膜厚との関係を示すグラフである。

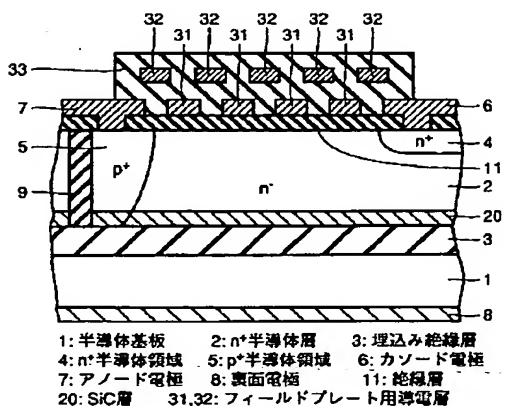
【図 4 2】 公報に開示された半導体装置の構成を概略的に示す断面図である。

【図 4 3】 図 4 2 に示す構成において電界分布が不均一に生じることを説明するための図である。

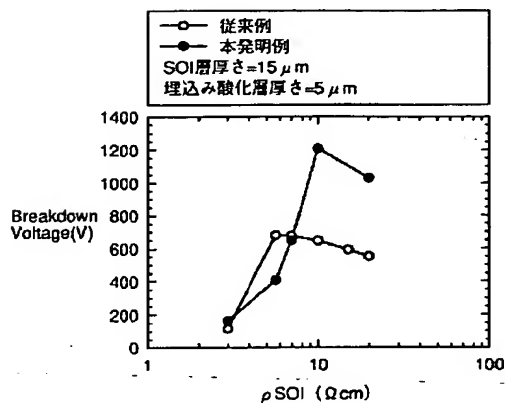
【符号の説明】

1 半導体基板、2 n-半導体層、3 埋込絶縁層、  
4 n+半導体領域、5 p+半導体領域、6 カソード電極、7 アノード電極、8 裏面電極、11 絶縁層、20 SiC薄膜層、31、32 フィールドプレート用導電層。

【図 1】

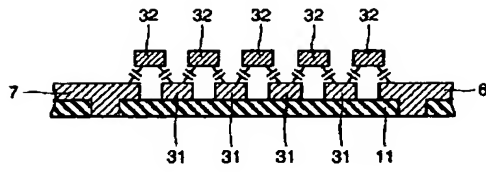


【图2】

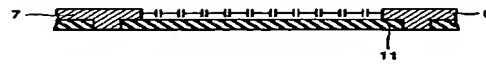




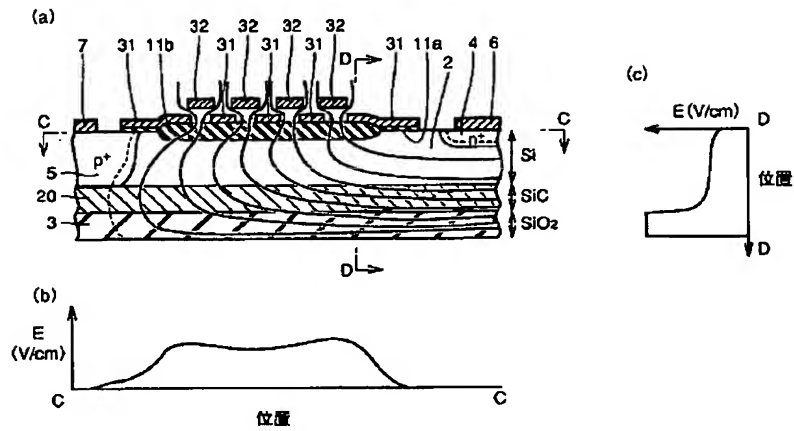
【図3】



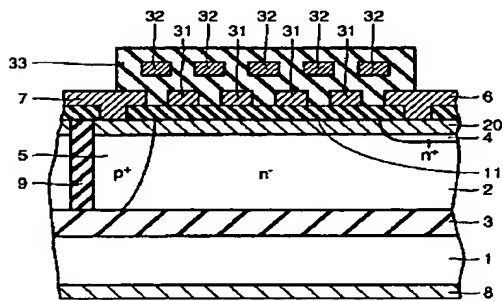
【図4】



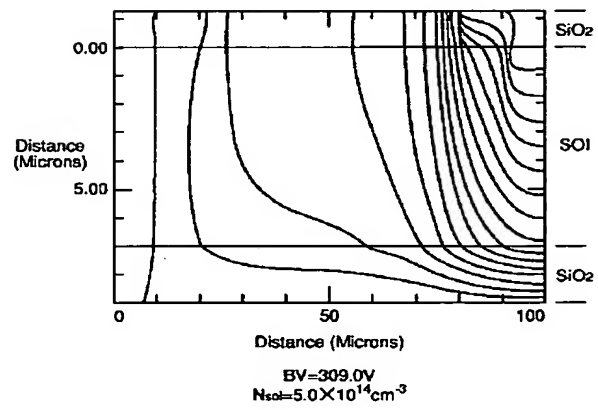
【図5】



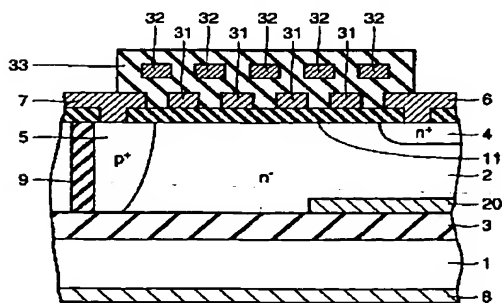
【図6】



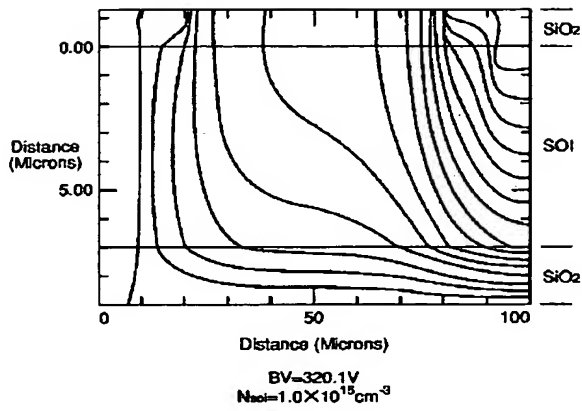
【図7】



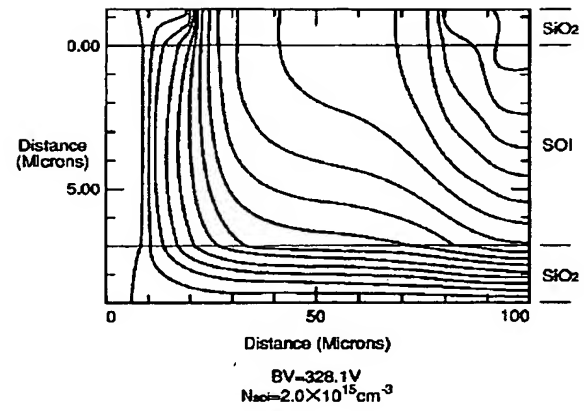
【図12】



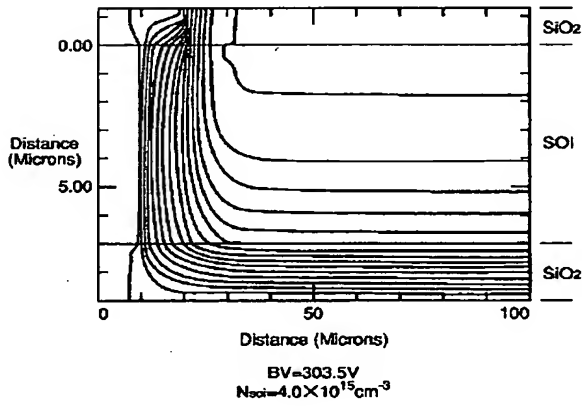
【図8】



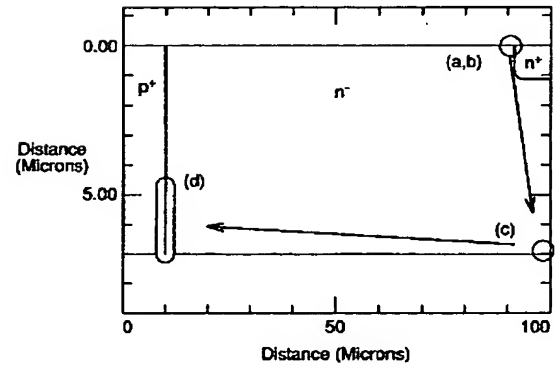
【図9】



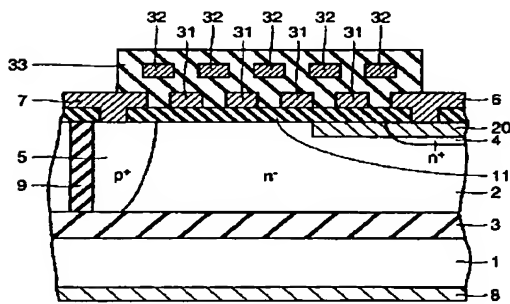
【図10】



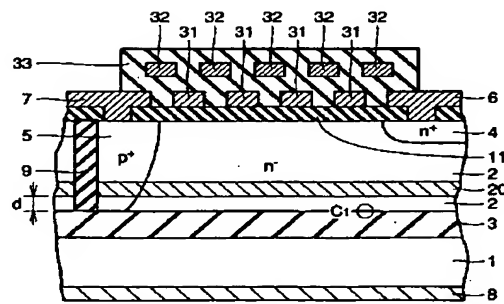
【図11】



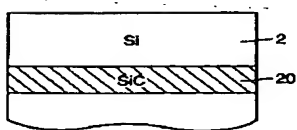
【図13】



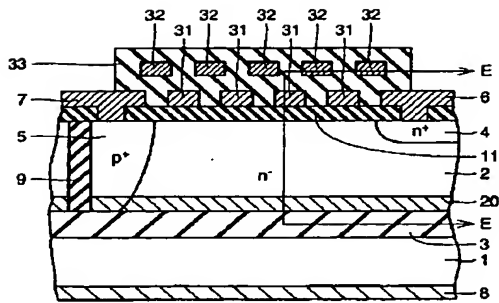
【図14】



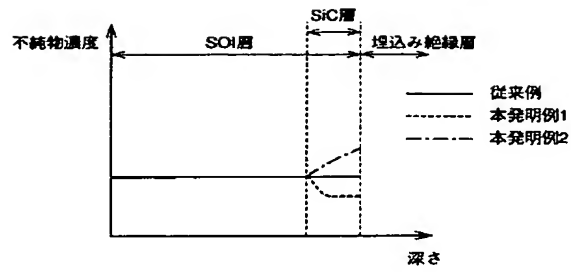
【図26】



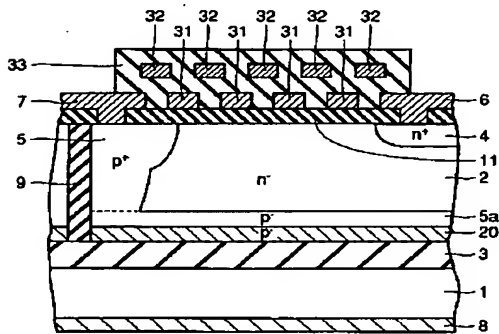
【図15】



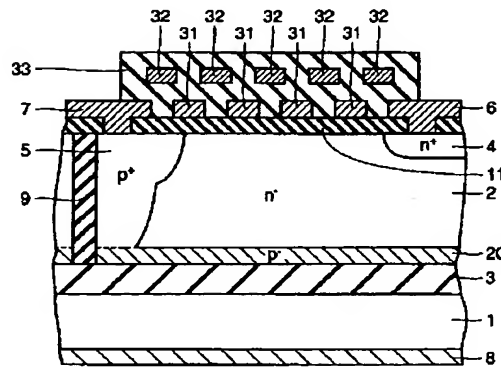
【図16】



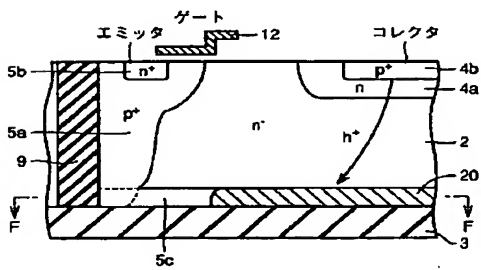
【図17】



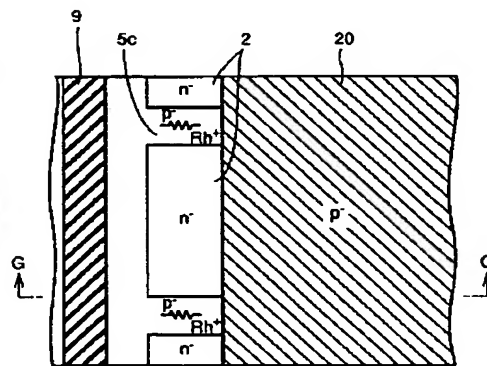
【図18】



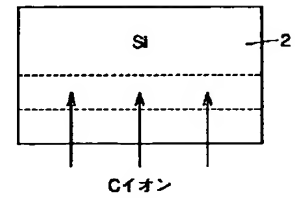
【図19】



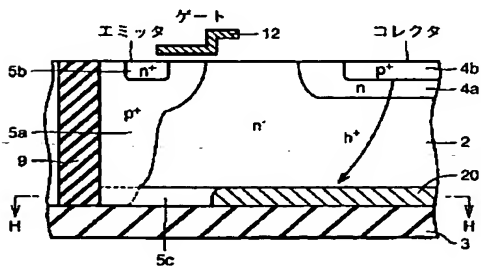
【図20】



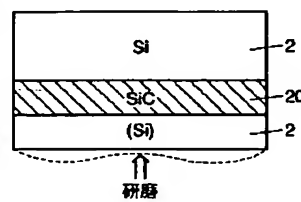
【図25】



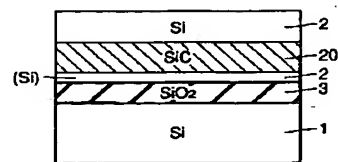
【図23】



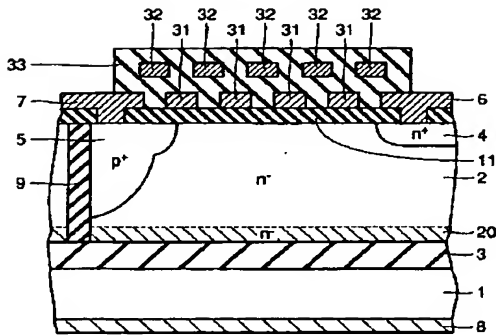
【図27】



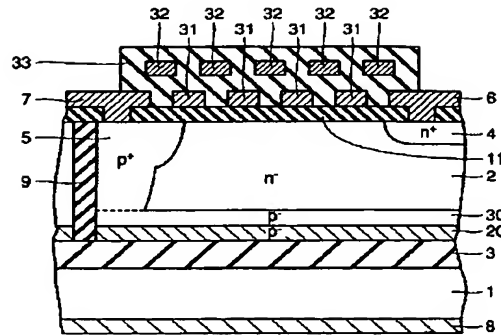
【図28】



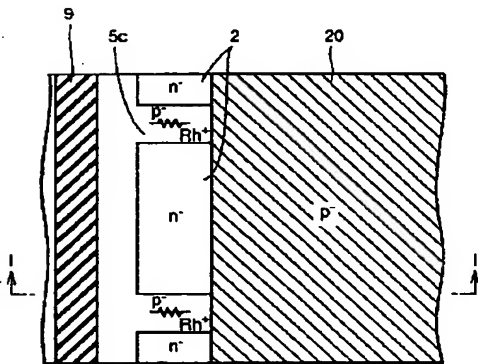
【図21】



【図22】



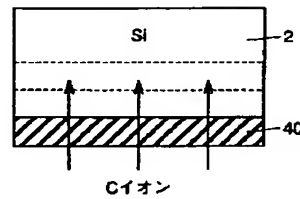
【図24】



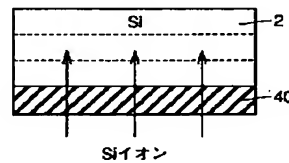
【図29】



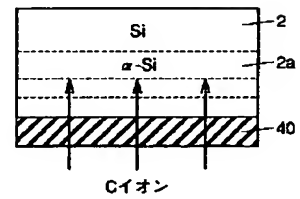
【図30】



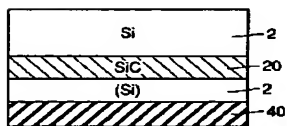
【図33】



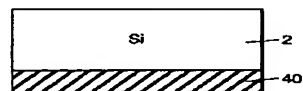
【図34】



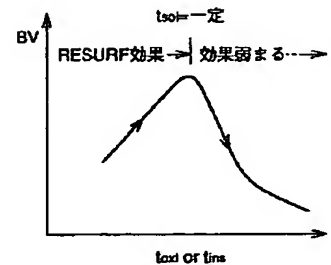
【図31】



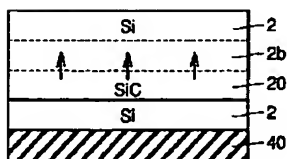
【図32】



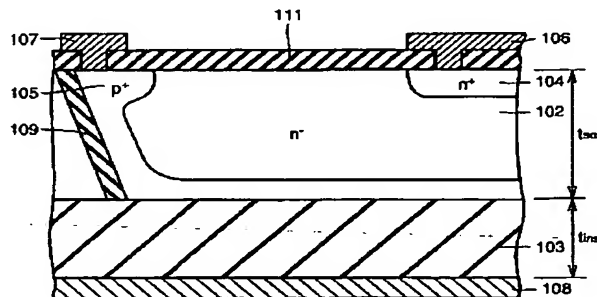
【図40】



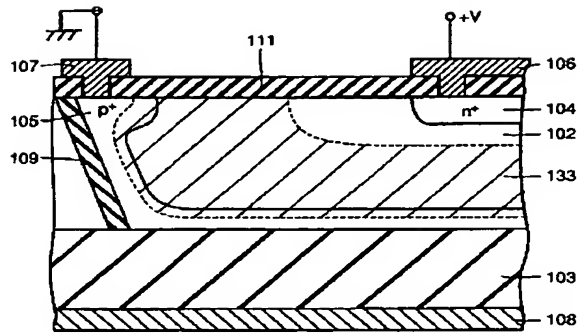
【図35】



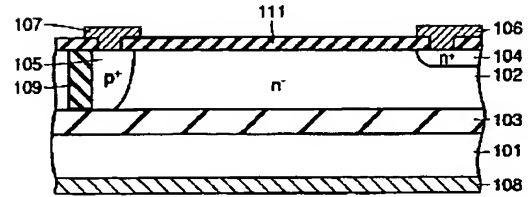
【図36】



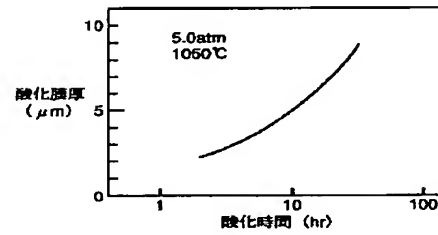
【図 37】



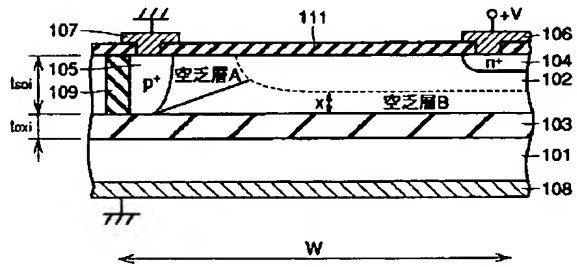
【図 38】



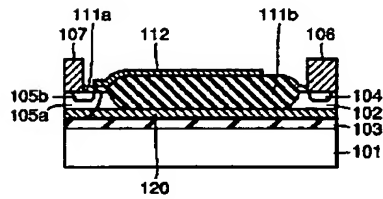
【図 41】



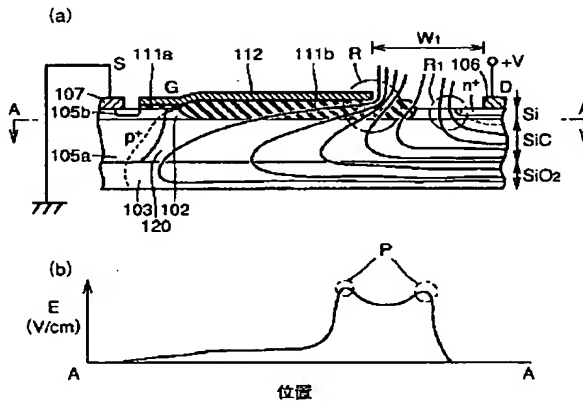
【図 39】



【図 42】



【図 43】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 1 7 J

6 1 8 F